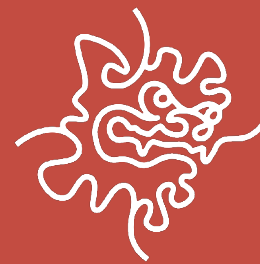


量子ビット順序変更による

Defect Braiding 量子回路最適化の計算量

Kunihiro Wasa, Shin Nishio, Koki Suetsugu, Michael Hanks, Ashley Stephens, Yu Yokoi, and Kae Nemoto.



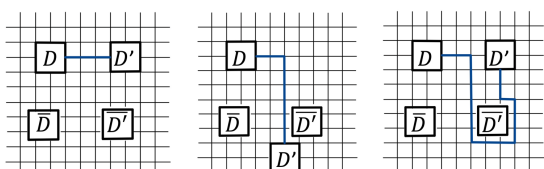
概要 フォールトトレラント量子計算を表面符号上で行うためのDefect Braiding 量子回路の最適化問題の一部を定式化し、その計算量がNP困難であることを示した。

背景

表面符号 [1] をはじめとするトポロジカル符号は、誤り閾値の高さとスタビライザの重みの点から優れており、フォールトトレラント量子計算 (FTQC) における活用が期待される。しかし、FTQC の実現には多くのリソースが必要である。ユニバーサル FTQC を実現するには、連続量の量子ゲートを分解してユニバーサルゲートセット [2] と呼ばれる有限個の量子ゲートの集合で精度良く近似する必要があり、これにより回路の深さが著しく増加する。また、表面符号上でユニバーサルゲートセットを実現する手法として、Defect Braiding [3] や Lattice Surgery [4] などが提案されているが、これらを用いると符号化されていない場合に比べて各ゲートの実行時間が長くなる。これらのオーバーヘッドを軽減するため、FTQC量子回路の最適化は極めて重要である。いくつかの Defect Braiding 量子回路の実用的な最適化が提案されている [5,6] が、さらなる最適化を実現するためには、最適化問題を定式化し、計算量を示すことが有効である。これにより、最適化問題のコストを見積もり、コンパイラに対する要求を明らかにすることができる。

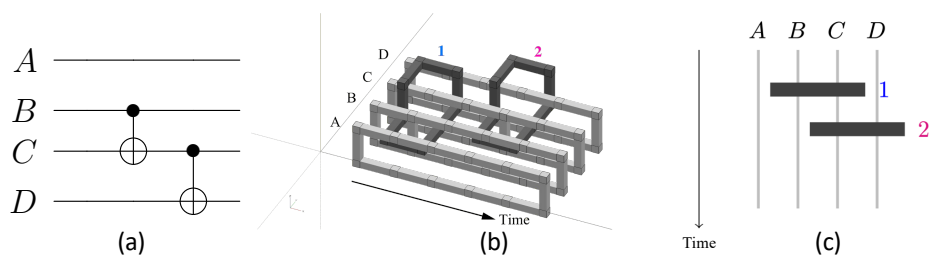
Defect Braiding

FTQCにおいてユニバーサルゲートセットを実現するためには多量子ビットゲートが必要である。表面符号上でCXゲート等を実現する手法として、Defect Braidingが知られている。まず、表面符号上に図に示すような空孔あるいは空孔のペアを用意し、これが論理量子ビットに対応する。Defect Braidingはそれらを互いに巻き付けるように移動させることで論理CXゲートを実現する操作である。



論理量子ビットのペア D, \bar{D} 間のゲート $CX(D, \bar{D})$ を実現する操作。

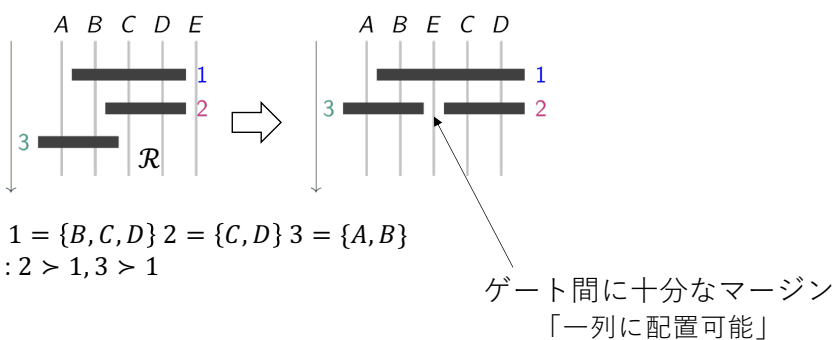
例えば、(a)に示すような単純な量子回路をDefect Braidingで実現するための量子回路は(b)で与えられる。本研究は、単純のためCXゲートの向きを無視した上で、3D Defect Braiding回路を2次元平面に写像し、量子ビットを1次元に並べた(c)のような回路(1D Defect Braiding量子回路と呼ぶ)の最適化を取り扱う。



最適化の例

量子ビットを並び替えることによって高さを3から2に減らしている。

$$\pi: \{A, B, C, D, E\} \rightarrow \{A, B, E, C, D\}$$



参考文献

[1] A Yu Kitaev. Quantum error correction with imperfect gates. In Quantum communication, computing, and measurement, pp. 181–188. Springer, 1997.
[2] David Elieser Deutsch. Quantum computational networks. Proceedings of the Royal Society of London. A. Mathematical and Physical Sciences, Vol. 425, No. 1868, pp. 73–90, 1989.
[3] Austin G Fowler, Matteo Mariantoni, John M Martinis, and Andrew N Cleland. Surface codes: Towards practical large-scale quantum computation. Physical Review A, Vol. 86, No. 3, p. 032324, 2012.
[4] Clare Horsman, Austin G Fowler, Simon Devitt, and Rodney Van Meter. Surface code quantum computing by lattice surgery. New Journal of Physics, Vol. 14, No. 12, p. 123011, 2012.
[5] Adam Paetznick and Austin G Fowler. Quantum circuit optimization by topological compaction in the surface code. arXiv preprint arXiv:1304.2807, 2013.
[6] Alexandru Paler, Ilia Polian, Kae Nemoto, and Simon J Devitt. Fault-tolerant, high-level quantum circuits: form, compilation and description. Quantum Science and Technology, Vol. 2, No. 2, p. 025003, 2017.
[7] Kunihiro Wasa, Shin Nishio, Koki Suetsugu, Michael Hanks, Ashley Stephens, Yu Yokoi, and Kae Nemoto. Hardness of braided quantum circuit optimization in the surface code. The 4th International Workshop on Quantum Resource Estimation (QRE2022), 2022.
[8] David Lichtenstein. Planar formulae and their uses. SIAM J. Comput., Vol. 11, No. 2, pp. 329–343, May 1982.
[9] Donald E Knuth and Arvind Raghunathan. The problem of compatible representatives. SIAM J. Discrete Math., Vol. 5, No. 3, pp. 422–427, August 1992.
[10] Daniel Herr, Franco Nori, and Simon J Devitt. Optimization of lattice surgery is np-hard. Npj quantum information, Vol. 3, No. 1, pp. 1–5, 2017.

Problem Definition

n 個の論理量子ビットを $[n] = \{1, 2, \dots, n\}$ とする。ゲートの族 \mathcal{R} が与えられ、各ゲート $X \in \mathcal{R}$ は $[n]$ の部分集合である。また、同一量子ビット上のゲートの順序を与えるような \mathcal{R} 上の半順序 \succ が与えられる。

論理量子ビット上のある置換 $\pi: [n] \rightarrow [n]$ が与えられたとき、任意の区別可能な組 $i, j \in \{1, 2, \dots, l\}$ に関して以下の式が満たされるとき、ゲート $X_1, \dots, X_l \in \mathcal{R}$ は π に従って一列に配置できるという。

$$\max\{\pi(x) \mid x \in X_i\} + 1 < \min\{\pi(x') \mid x' \in X_j\}$$

または

$$\max\{\pi(x') \mid x' \in X_j\} + 1 < \min\{\pi(x) \mid x \in X_i\}$$

この条件はいかなるゲートのペアも重複せず、ゲート間にマージンが存在することを意味している。

以下の2つの条件を満たすような置換 $\pi: [n] \rightarrow [n]$ と関数 $\mu: \mathcal{R} \rightarrow [h]$ の組 (π, μ) が存在するとき、ゲートの族 \mathcal{R} は半順序 \succ に従って高さ $h \in \mathbb{Z}_+$ でパッキングできるという。また、組 (π, μ) を高さ h の (\mathcal{R}, \succ) のパッキングと呼ぶ。

- (水平条件)** 各 $i \in [h]$ に関して、 $\{X \mid \mu(X) = i\}$ に含まれるゲートが置換 $\pi: [n] \rightarrow [n]$ の下で一列に配置可能である。
- (垂直条件)** 任意の区別可能な2つのゲート $X, X' \in \mathcal{R}$ に関して、もし $X \cap X' = \emptyset$ かつ $X \succ X'$ ならば、 $\mu(X) > \mu(X')$ である。

あるパッキング (π, μ) に関して、 $\mu(X)$ を $X \in \mathcal{R}$ のレベルという。

ここで、以下のように問題を定義する。

Min-Braiding 問題

ゲートの集合 \mathcal{R} 、 \mathcal{R} 上の半順序 \succ 、正の整数 h が与えられる。高々高さ h で半順序 \succ を満たすようなパッキングが可能であるとき、Yes を出力せよ。

1D Defect Braiding量子回路を最適化するには最適パッキングをこの問題を内包する。

Hardness Result

以下の定理を証明した。

定理 Min-Braiding はNP完全である。

証明の方針

- Min-Braiding** を効率的に解くアルゴリズム \mathcal{A} が存在すると仮定する。
- 既知の難しい問題 \mathcal{P} の任意のインスタンスに関して、 \mathcal{A} を用いて解くことができるなら、**Min-Braiding** は少なくとも \mathcal{P} よりも難しい。

広く知られている難しい(NP完全の)問題として、3SATが挙げられる。

定義 (3SAT) 3CNFのブール式 ϕ を与えられたとき、3SATは ϕ を充足する解が存在するとき、Yes を出力せよ。

例: $\phi = (\neg x_1 \vee x_2) \wedge (x_2 \vee x_3) \wedge (x_2 \vee x_3 \vee \neg x_4)$

節: $c_1 = (\neg x_1 \vee x_2), c_2 = (x_2 \vee x_3), c_3 = (x_2 \vee x_3 \vee \neg x_4)$

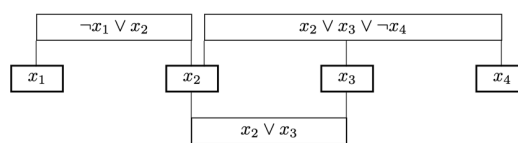
充足解の例: $(x_1, x_2, x_3, x_4) = (0, 0, 1, 0)$

証明においては、PlanarRectLinear 3SATと呼ばれる問題[8,9]からの多項式時間帰着を用いる。PlanarRectLinear 3SATもまたNP完全である。

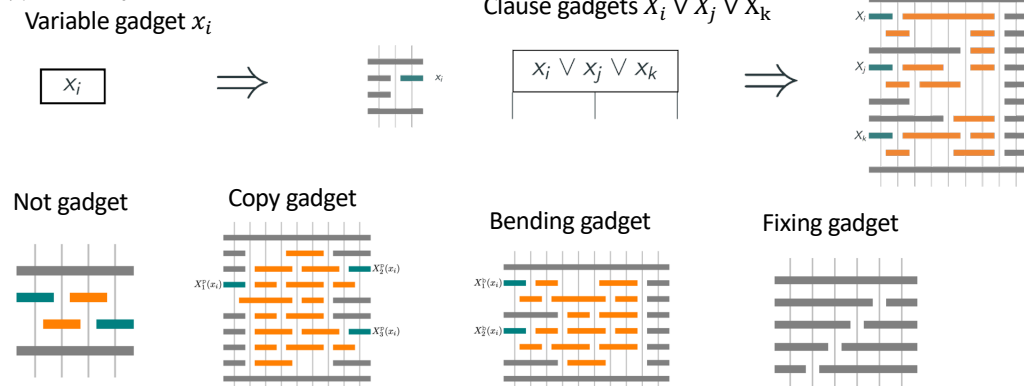
PlanarRectLinear 3SAT は以下を満たす描画が可能な3SATの特殊ケースである。

- 変数 x と節 c に対応する長方形の辺は軸と平行である。
- 頂点の長方形は水平線上に配置されている。
- 垂直方向の線分は節への帰属を表し、互いに交差しない。

例 $\phi = (\neg x_1 \vee x_2) \wedge (x_2 \vee x_3) \wedge (x_2 \vee x_3 \vee \neg x_4)$ の描画



6種類の変換を用いて、PlanarRectLinear 3SATは多項式時間でMin-Braidingに帰着できる。



Min-Braiding がNP完全であるので、最適なパッキング (π, μ) を求める問題はNP困難である。従って、このような最適化を行うために近似アルゴリズムをはじめとしたヒューリスティックアルゴリズムを設計することが求められる。これはLattice Surgeryに関する既知の結果 [10] と一致する。